

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-022803

(43)Date of publication of application : 23.01.1998

(51)Int.Cl.

H03K 17/687

H02P 1/22

H03K 17/16

H03K 19/0944

(21)Application number : 08-173759

(71)Applicant : DENSO CORP

(22)Date of filing : 03.07.1996

(72)Inventor : ITO MAKOTO
OHASHI HIDEYUKI

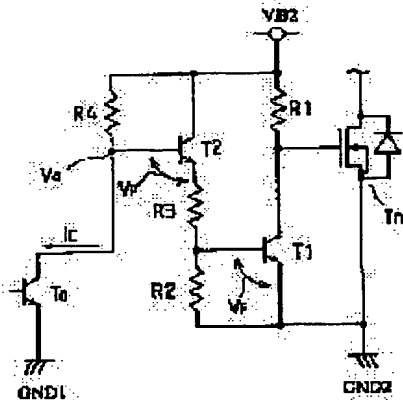
(54) DRIVE CIRCUIT AND CURRENT DIRECTION SWITCHING CIRCUIT FOR N-CHANNEL MOSFET

(57)Abstract:

PROBLEM TO BE SOLVED: To satisfactorily turn an FET on and off, even with a presence of difference of a ground potential in regard to a drive circuit which turns an n-channel MOSFET on and off, according to the state of an input terminal that is grounded and opened by a switching element of a control circuit.

SOLUTION: A drive circuit of an FET (T_n) is composed of the NPN transistors TR $T1$ and $T2$ and the resistors $R1$ to $R4$ and turns the T_n on and off, according to voltage V_o of an input terminal which is grounded and opened by a switching terminal T_o of a control circuit.

The drive circuit of such a constitution can increase the threshold of voltage V_o to turn on the TR $T1$, as long as the resistance value of the resistor $R3$ is increased and therefore can surely turn on the TR $T1$, even if the ground potential $GND1$ of the control circuit is higher than the ground potential $GND2$ of the drive circuit. On the other hand, the resistance value of the register $R4$ must be reduced if the resistance value of the $R3$ is increase. However, it is not required to especially reduce the resistance value of the $R4$, since the $R4$ needs only a sufficient base current to turn on the $T2$. Thus, it is possible to reduce the current (i_c) that flows to the control circuit, when the element T_o is turned on by increasing the resistance value of the $R4$.



LEGAL STATUS

[Date of request for examination]

06.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-22803

(43)公開日 平成10年(1998)1月23日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/687			H 0 3 K 17/687	E
H 0 2 P 1/22			H 0 2 P 1/22	
H 0 3 K 17/16			H 0 3 K 17/16	L
19/0944			19/094	A

審査請求 未請求 請求項の数5 O L (全 13 頁)

(21)出願番号 特願平8-173759

(22)出願日 平成8年(1996)7月3日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 伊藤 誠

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 大橋 英之

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

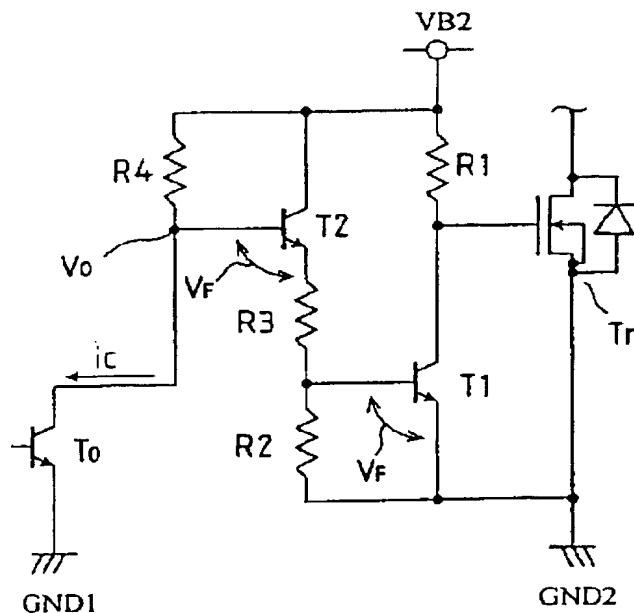
(74)代理人 弁理士 足立 勉

(54)【発明の名称】 nチャネルMOSFETの駆動回路及び電流方向切換回路

(57)【要約】

【課題】 制御回路側のスイッチング素子により接地・開放される入力端の状態に応じてnチャネルMOSFETをオン・オフする駆動回路において、グラウンド電位に電位差があってもFETを良好にオン・オフできるようにする。

【解決手段】 FET (T_n) の駆動回路は、NPNトランジスタT₁、T₂と、抵抗器R₁～R₄とから構成され、制御回路側のスイッチング素子T₀により接地・開放される入力端の電圧V_oに応じて、T_nをオン・オフする。この回路では、R₃の抵抗値を大きくすれば、T₁をオンするためのV_oのしきい値電圧を高くすることができるため、制御回路のグラウンド電位GND₁が駆動回路のGND₂よりも高くなっても、T₁を確実にオフできる。またR₃の抵抗値を大きくした場合、R₄の抵抗値を、それに応じて下げなければならないが、R₄はT₂をオンさせるだけのベース電流が流せばよいいため、特に小さくする必要はない。そのため、R₄の抵抗値を大きくして、T₀のオン時に制御回路側に流れる電流i_cを少なくできる。



【特許請求の範囲】

【請求項1】 電気負荷への通電経路の正極側にドレインが接続され、該経路の負極側にソースが接続されたnチャネルMOSFETを、外部の制御回路に設けられたスイッチング素子にて接地又は開放される入力端の状態に応じてオン・オフさせるnチャネルMOSFETの駆動回路であって、

前記FETのゲートにコレクタが接続され、エミッタが直流電源の負極側に接地されたNPN型の第1トランジスタと、

該第1トランジスタのコレクタと前記直流電源の正極側との間に設けられ、前記第1トランジスタのオフ時に前記FETのゲート電位を上昇させて前記FETをオンさせる第1抵抗と、

前記第1トランジスタのベース・エミッタ間に設けられた第2抵抗と、

前記第1トランジスタのベースに接続された第3抵抗と、

コレクタが前記直流電源の正極側に接続され、エミッタが前記第3抵抗を介して前記第1トランジスタのベースに接続され、ベースが前記入力端として前記制御回路のスイッチング素子に接続されるNPN型の第2トランジスタと、

該第2トランジスタのベース・コレクタ間に接続された第4抵抗と、

を備えたことを特徴とするnチャネルMOSFETの駆動回路。

【請求項2】 直流電源の正負の電源供給ライン間に直列に接続されたMOSFETからなる一対のスイッチング素子と、

該一対のスイッチング素子の各々に設けられ、前記電源供給ラインから電源供給を受けて、各スイッチング素子を導通・遮断させる駆動回路と、

該駆動回路とは別体で構成され、前記各駆動回路の入力端を各々接地又は開放することにより、前記駆動回路を介して前記一対のスイッチング素子の一方を選択的にオンさせ、前記各スイッチング素子の接続点に接続された電気負荷に流れる電流方向を、該接続点から電気負荷への第1方向とその逆の第2方向とのいずれかに切り換える制御回路と、

を備えた電流方向切換回路において、

前記一対のスイッチング素子の内、前記接続点と前記電源供給ラインの負極側との間にローサイドスイッチとして配置されるスイッチング素子を、ドレインが前記接続点に接続され、ソースが前記電源供給ラインの負極側に接続されたnチャネルMOSFETにて構成し、更に、該nチャネルMOSFETの駆動回路を、

前記FETのゲートにコレクタが接続され、エミッタが前記電源供給ラインの負極側に接地されたNPN型の第1トランジスタと、

該第1トランジスタのコレクタと前記電源供給ラインの正極側との間に設けられ、前記第1トランジスタのオフ時に前記FETのゲート電位を上昇させて前記FETをオンさせる第1抵抗と、

前記第1トランジスタのベース・エミッタ間に設けられた第2抵抗と、

前記第1トランジスタのベースに接続された第3抵抗と、

コレクタが前記電源供給ラインの正極側に接続され、エミッタが前記第3抵抗を介して前記第1トランジスタのベースに接続され、ベースが前記入力端として前記制御回路に接続されるNPN型の第2トランジスタと、
 該第2トランジスタのベース・コレクタ間に接続された第4抵抗と、
 から構成してなることを特徴とするnチャネルMOSFETの駆動回路。

【請求項3】 前記一対のスイッチング素子の内、前記接続点と前記電源供給ラインの正極側との間にハイサイドスイッチとして配置されるスイッチング素子を、ソースが前記電源供給ラインの正極側に接続され、ドレインが前記接続点に接続されたpチャネルMOSFETにて構成し、更に、該pチャネルMOSFETの駆動回路を、

該FETのゲートにコレクタが接続され、エミッタが前記電源供給ラインの正極側に接続されたPNP型の第3トランジスタと、

該第3トランジスタのコレクタと前記電源供給ラインの負極側との間に設けられ、前記第3トランジスタのオフ時に前記FETのゲート電位を低下させて前記FETをオンさせる第5抵抗と、

前記第3トランジスタのベース・エミッタ間に設けられた第6抵抗と、

前記第3トランジスタのベースに接続された第7抵抗と、

コレクタが前記第7抵抗を介して前記第3トランジスタのベースに接続され、エミッタが前記電源供給ラインの負極側に接続され、ベースが前記入力端として前記制御回路に接続されるNPN型の第4トランジスタと、
 該第4トランジスタのベースと前記電源供給ラインの正極側との間に接続された第8抵抗と、

から構成してなることを特徴とする請求項2に記載の電流方向切換回路。

【請求項4】 前記一対のスイッチング素子の内、前記接続点と前記電源供給ラインの正極側との間にハイサイドスイッチとして配置されるスイッチング素子を、ドレインが前記電源供給ラインの正極側に接続され、ソースが前記接続点に接続されたnチャネルMOSFETにて構成し、更に、該nチャネルMOSFETの駆動回路を、

前記直流電源よりも高い電源電圧を生成する昇圧回路

と、

前記 FET のゲートにコレクタが接続され、エミッタが前記電源供給ラインの負極側に接地された NPN 型の第 1 トランジスタと、

該第 1 トランジスタのコレクタと前記昇圧回路の電源電圧出力ラインとの間に設けられ、前記第 1 トランジスタのオフ時に前記 FET のゲート電位を前記電源供給ラインの正極側よりも高い電位に上昇させて前記 FET をオンさせる第 1 抵抗と、

前記第 1 トランジスタのベース・エミッタ間に設けられた第 2 抵抗と、

前記第 1 トランジスタのベースに接続された第 3 抵抗と、

コレクタが前記電源供給ラインの正極側に接続され、エミッタが前記第 3 抵抗を介して前記第 1 トランジスタのベースに接続され、ベースが前記入力端として前記制御回路に接続される NPN 型の第 2 トランジスタと、

該第 2 トランジスタのベース・コレクタ間に接続された第 4 抵抗と、

から構成してなることを特徴とする請求項 2 に記載の電流方向切換回路。

【請求項 5】 電流方向切換回路は、前記一対のスイッチング素子を電気負荷の両端に夫々設けた Hブリッジ回路であることを特徴とする請求項 2 ～請求項 4 いずれか記載の電流方向切換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、nチャネル MOSFET を外部からの指令に従いオン・オフさせる駆動回路、及びこの駆動回路を用いて電気負荷に流れる電流方向を切り換える電流方向切換回路に関する。

【0002】

【従来の技術】従来より、nチャネル MOSFET の駆動回路として、図 6 (a) に示すように、PNP トランジスタ T11 と NPN トランジスタ T12 とを用いたものと、図 6 (b) に示すように、2 つの NPN トランジスタ T21、T22 を用いたものとの 2 種の駆動回路が知られている（総合電子出版社発行、高橋久著「パワーデバイスの使い方と実用制御回路設計法」、94 頁～95 頁参照）。

【0003】図 6 (a) に示した駆動回路において、PNP トランジスタ T11 は、エミッタが、直流電源の正極側の電源供給ライン（以下、電源ラインという）に接続され、コレクタが、抵抗器 R11 を介して、直流電源の負極側の電源供給ライン（以下、グラウンドラインという）に接続されており、コレクタと抵抗器 R11 との接続点が、ソースがグラウンドラインに接続された nチャネル MOSFET : Tn（以下、FET : Tn と記載する）のゲートに接続される。また、PNP トランジスタ T11 のベース・エミッタ間には抵抗器 R12 が接続され、PNP

トランジスタ T11 のベースは、抵抗器 R13 を介して、エミッタがグラウンドラインに接続された NPN トランジスタ T12 のコレクタに接続されている。

【0004】従って、図 6 (a) の駆動回路においては、NPN トランジスタ T12 がオフ状態であれば、PNP トランジスタ T11 のベース電流が流れず、PNP トランジスタ T11 がオフ状態となる。この状態では、抵抗器 R11 に電流が流れないため、FET : Tn のゲート・ソース間は 0V となり、FET : Tn もオフ状態となる。逆に、NPN トランジスタ T12 がオン状態であれば、PNP トランジスタ T11 にベース電流が流れて、PNP トランジスタ T11 がオンする。すると、抵抗器 R11 に電流が流れて、FET : Tn のゲート・ソース間が略電源電圧 VB となって、FET : Tn がオンする。この結果、図 6 (a) の駆動回路によれば、NPN トランジスタ T12 をオン・オフすることにより、FET : Tn をオン・オフすることができる。

【0005】また、図 6 (b) に示した駆動回路において、NPN トランジスタ T21 は、コレクタが、FET : Tn のゲートに接続されると共に、抵抗器 R21 を介して電源ラインに接続され、エミッタが、FET : Tn のソースと共にグラウンドラインに接続されている。この駆動回路には、電源ライン・グラウンドライン間に直列に接続された 3 つの抵抗器 R22、R23、R24 が備えられ、グラウンドライン側の抵抗器 R22 と抵抗器 R23 との接続点が、NPN トランジスタ T21 のベースに接続されている。そして、もう一つの NPN トランジスタ T22 は、エミッタがグラウンドラインに接続され、コレクタが電源ライン側の抵抗器 R24 と抵抗器 R23 との接続点に接続されている。

【0006】従って、図 6 (b) の駆動回路においては、NPN トランジスタ T22 のオフ時には、NPN トランジスタ T21 のベースに抵抗器 R24、R23 を通って電流が供給されることから、NPN トランジスタ T21 がオン状態となる。この結果、FET : Tn のゲート・ソース間は、NPN トランジスタ T21 のコレクタ・エミッタ間飽和電圧（約 0.4V）となるため、FET : Tn はオフ状態となる。逆に、NPN トランジスタ T22 がオン状態であれば、NPN トランジスタ T21 のベース・エミッタ間電圧が、NPN トランジスタ T22 のコレクタ・エミッタ間飽和電圧（約 0.4V）を抵抗器 R22、R23 にて分圧したものとなり、NPN トランジスタ T21 がオンするのに要する PN 接合の順方向電圧（約 0.6V）よりも低いため、NPN トランジスタ T21 がオフする。この結果、FET : Tn のゲート・ソース間には、電源電圧 VB が印加され、FET : Tn がオンする。従って、図 6 (b) の駆動回路においても、NPN トランジスタ T22 をオン・オフすることにより、FET : Tn をオン・オフすることができる。

【0007】一方、MOS 型の FET は、バイポーラト

ランジスタ等と比べて、数アンペア程度の負荷に対してはオン電圧が小さく、また電圧駆動という簡便さから、各種電気負荷への通電経路をオン・オフするスイッチング素子として利用されることが多く、例えば、直流モータ等の電気負荷に流れる電流方向を高速に切り換えるために、電気負荷の両端にハイサイドスイッチとローサイドスイッチとを備えたHブリッジ回路等の電流方向切換回路では、スイッチング素子として、MOSFETを使用するのが一般的である。そして、このようにMOSFETを電流方向切換用のスイッチング素子として使用した場合には、最も簡便な駆動回路構成として、図6

(a) 又は (b) に示した駆動回路が利用される。

【0008】

【発明が解決しようとする課題】しかし、このように電流方向切換用のスイッチング素子をMOSFETにて構成し、これを図6に示した従来の駆動回路を用いて駆動するようにした場合には、ハイサイドスイッチをオンした際にローサイドスイッチがオンして貫通電流が流れるようになるとか、或はスイッチング素子をnチャネルMOSFETにて構成した場合に、FETを良好にオン・オフ制御することができなくなる、といった問題があった。

【0009】以下、この問題について詳しく説明する。図7は、直流電源の正極側の電源ライン（電位：VB2）と直流モータ2の給電用2端子とを夫々接続するハイサイドスイッチTAH、TBHとして、pチャネルのMOSFETを備え、直流電源の負極側のグランドライン（電位：GND2）と直流モータ2の給電用2端子とを夫々接続するローサイドスイッチTAL、TBLとして、nチャネルのMOSFETを備え、ハイサイドスイッチTAHとローサイドスイッチTBL、及びハイサイドスイッチTBHとローサイドスイッチTAL、を夫々一組として、各組のFETを交互にオンすることにより、直流モータ2に流れる電流方向を切り換えて、直流モータ2を正転・反転させる、Hブリッジ型の電流方向切換回路（Hブリッジ回路）50を表わす。

【0010】そして、このHブリッジ回路50では、各スイッチTAH、TAL、TBH、TBLの駆動回路50AH、50AL、50BH、50BLを、図6（a）に示した駆動回路からNPNトランジスタT12を除いた、PNPトランジスタT11及び抵抗器R11～R13からなる駆動回路にて構成し、図6（a）の駆動回路中のNPNトランジスタT12を、駆動回路とは別体の制御回路60側に設け、制御回路60側にて、各スイッチTAH、TAL、TBH、TBLに対応したNPNトランジスタT12AH、T12AL、T12BH、T12BLをオン・オフすることにより、各スイッチTAH、TAL、TBH、TBLを直流モータ2の回転方向に応じてオン・オフするよう構成されている。

【0011】なお、図7において、ハイサイドスイッチTAH、TBHを構成するpチャネルMOSFETは、電源

ライン側にソースが接続され、ローサイドスイッチTAL、TBLを構成するnチャネルMOSFETのドレイン（換言すれば直流モータ2の端子）にドレインが接続される。そして、これら各pチャネルMOSFETは、上記説明したnチャネルMOSFETの場合とは逆に、NPNトランジスタT12AH、T12BHのオン時にオフ状態となり、NPNトランジスタT12AH、T12BHのオフ時にオン状態となる。

【0012】ところが、このようにHブリッジ回路50の駆動回路として、図6（a）に示した駆動回路を利用した場合、ハイサイドスイッチTAH、TBHがオンした際に、ローサイドスイッチTAL、TBHがオンし、各スイッチを構成するFETに貫通電流が流れることがある。

【0013】つまり、MOSFETには、構造上、ゲート・ドレイン間及びゲート・ソース間に寄生容量がある。このため、例えば、図8に示すように、ハイサイドスイッチTAHとローサイドスイッチTALとが共にオフしている状態から、ハイサイドスイッチTAHがオンしたとすると、ローサイドスイッチTALを構成するnチャネルMOSFETのドレイン・ソース間には、電源電圧が印加されるが、図6（a）に示した駆動回路では、ローサイドスイッチTALを構成するnチャネルMOSFETのゲート・ソース間を接続する抵抗器R11が備えられることから、ハイサイドスイッチTAHのオン時には、ローサイドスイッチTALを構成するnチャネルMOSFETのゲート・ソース間電圧が、電源電圧VBを、ゲート・ドレイン間寄生容量Cgdと、ゲート・ソース間寄生容量Cgs及びゲート・ソース間抵抗rgs（抵抗器R11の抵抗値）の合成インピーダンスと、により分圧した電圧Vgとなる。

【0014】この電圧Vgは、抵抗器R11の抵抗値rgsが大きいほど大きくなるが、抵抗器R11は、PNPトランジスタT11のオン時にPNPトランジスタT11に流れる電流を制限するものであるので、通常、10kΩ程度の大きい抵抗値のものが使用される。この結果、ハイサイドスイッチTAHがオンした直後には、ローサイドスイッチTALを構成するnチャネルMOSFETのゲート・ソース間電圧が、FETのしきい値電圧を越えて、ローサイドスイッチTALがオンしてしまい、ローサイドスイッチTAL及びハイサイドスイッチTAHを構成する各FETに貫通電流が流れて、各FETが破壊してしまう、といった問題が生じるのである。

【0015】一方、こうした問題は、ローサイドスイッチTAL、TBLを構成するnチャネルMOSFETの駆動回路として、図6（b）に示した2つのNPNトランジスタT21、T22からなる駆動回路を利用すれば解決できる。つまり、図6（b）に示した駆動回路では、FET：Tnをオフする際には、NPNトランジスタT21がオン状態となり、FET：Tnのゲート・ソース間をNPNトランジスタT21のコレクタ・エミッタ間飽和電圧

(約 0.4) に保持することから、ハイサイドスイッチ T_{AH}、T_{BH} がオンして、ローサイドスイッチ T_{AL}、T_{BL} を構成する n チャネル MOSFET のドレイン・ソース間に電源電圧が印加されても、そのゲート・ソース間電圧が上昇して、ローサイドスイッチ T_{AL}、T_{BL} がオンしてしまうことはないのである。

【0016】しかし、図 7 の Hブリッジ回路 50 のように、制御回路 60 側にてローサイドスイッチ T_{AL}、T_{BL} をオン・オフできるようにするために、ローサイドスイッチ T_{AL}、T_{BL} の駆動回路 50AL、50BL を、図 6

(b) に示した駆動回路から NPN トランジスタ T₂₂ を除いた、NPN トランジスタ T₂₁ 及び抵抗器 R₂₁～R₂₄ からなる駆動回路にて構成し、制御回路 60 側に図 6

(b) の駆動回路中の NPN トランジスタ T₂₂ を設けた場合、Hブリッジ回路 50 側でのグラウンド電位 GND2 と制御回路 60 側でのグラウンド電位 GND1 とに電位差が生じている場合に、ローサイドスイッチ T_{AL}、T_{BL} をオンすることができなくなるとか、或はローサイドスイッチ T_{AL}、T_{BL} のオン時に駆動回路 50AL、50BL から制御回路 60 に流れ込む電流が多くなってしまう、とい

った問題が生じる。

【0017】即ち、図 6 (b) の駆動回路内の NPN トランジスタ T₂₂ を、駆動回路とは別体に構成された制御回路側に組み込んだ場合、NPN トランジスタ T₂₂ のエミッタ側のグラウンド電位 GND1 が駆動回路側のグラウンド電位 GND2 よりも高くなることがある。そして、NPN トランジスタ T₂₂ は、オン状態であるときに、抵抗器 R₂₃ と抵抗器 R₂₄ との接続点をグラウンドライン (電位: GND1) に接地して、NPN トランジスタ T₂₁ のベース・エミッタ間電圧を PN 接合の順方向電圧よりも低くし、NPN トランジスタ T₂₁ をオフさせるためのものであることから、NPN トランジスタ T₂₂ のエミッタが接地されたグラウンド電位 GND1 が、FET: T_n のソース (換言すれば NPN トランジスタ T₂₁ のエミッタ) が接地されたグラウンド電位 GND2 よりも高くなると、NPN トランジスタ T₂₂ のオン時に、駆動回路側の入力端となる抵抗器 R₂₃ と抵抗器 R₂₄ との接続点の電圧 V_o (グラウンド電位 GND2 を基準とする電圧) を充分下げることができず、NPN トランジスタ T₂₁ をオフすることができなくなってしまうことがあり、この場合、FET: T_n は、オフ状態に保持される。

【0018】従って、図 7 の Hブリッジ回路 50 において、図 6 (b) の駆動回路を用いてローサイドスイッチ T_{AL}、T_{BL} を駆動するように構成した場合には、制御回路 60 のグラウンド電位 GND1 が Hブリッジ回路 50 のグラウンド電位 GND2 よりも高くなったときに、ローサイドスイッチ T_{AL}、T_{BL} をオンすることができず、直流モータ 2 を通電駆動できなくなることがある。

【0019】なお、こうした問題は、例えば、自動車のように、バッテリー等の単一の直流電源に接続される電源

供給ラインに、Hブリッジ回路及び制御回路を含む各種電気負荷が接続されるシステムにおいて、大きな問題となる。つまり、自動車においては、図 9 に示す如く、バッテリーから各種電気負荷に対して複数の給電経路を介して電源供給がなされるが、制御回路及び Hブリッジ回路が異なる経路を介して電源供給を受けるような場合、バッテリーから制御回路及び Hブリッジ回路に至る給電経路上では、その経路の抵抗成分 (r) に応じて電圧降下 ΔV が生じることから、各回路における電源ライン及びグラウンドラインの電位が大きく異なることがあり、上記問題が発生し易くなるのである。

【0020】但し、図 7 において、制御回路 60 のグラウンド電位 GND1 が Hブリッジ回路 50 のグラウンド電位 GND2 と異なる場合には、制御回路 60 の電源ラインの電位 V_{B1} と Hブリッジ回路 50 の電源ラインの電位 V_{B2} も異なることになるが、Hブリッジ回路 50 の各駆動回路は制御回路 60 側の NPN トランジスタに接続される入力端が、制御回路 60 側のグラウンドラインに接地されるか開放されるかによって各 FET をオン・オフさせることから、上記のように制御回路側にて駆動回路の入力端を接地するか開放するかを切り換えるようにした場合には、電源電圧の違いによって誤動作することはない。

【0021】一方、図 6 (b) に示した駆動回路において、NPN トランジスタ T₂₂ 側のグラウンド電位 GND1 が高い場合に、NPN トランジスタ T₂₂ をオンして、NPN トランジスタ T₂₁ をオフさせるには、NPN トランジスタ T₂₁ のベース・エミッタ間電圧を PN 接合の順方向電圧 V_F よりも低くできればよい。そして、このためには、NPN トランジスタ T₂₁ のオフ時に接続点電圧 V_o を分圧する抵抗器 R₂₃、R₂₂ の抵抗比を、抵抗器 R₂₃ の比率が抵抗器 R₂₂ よりも充分大きくなるように設定すればよい。

【0022】つまり、NPN トランジスタ T₂₁ をオンするのに要する接続点電圧 V_{oTH} (以下、しきい値電圧という) は、抵抗器 R₂₃ の抵抗値を r₂₃、抵抗器 R₂₂ の抵抗値を r₂₂、PN 接合の順方向電圧を V_F とすれば、次式 (1) のようになる。

$$V_{oTH} > \{ (r_{23}/r_{22}) + 1 \} \cdot V_F \quad \cdots (1)$$

そして、このしきい値電圧 V_{oTH} を高くすればするほど、グラウンド電位 GND1、GND2 の差電圧による駆動回路の誤動作を防止でき、このためには、抵抗器 R₂₃ の抵抗値 r₂₃ を大きくすればよい。

【0023】しかし、このように抵抗器 R₂₃ の抵抗値 r₂₃ を大きくして、しきい値電圧 V_{oTH} を高くした場合、NPN トランジスタ T₂₂ のオフ時 (抵抗器 R₂₄ と抵抗器 R₂₃ との接続点の開放時) に NPN トランジスタ T₂₁ をオンできるようにするためには、抵抗器 R₂₄ の抵抗値 r₂₄ を、次式 (2) の条件にて設定して、NPN トランジスタ T₂₂ のオフ時に生じる抵抗器 R₂₄ での電圧降下を小さ

くする必要がある。

【0024】

$r_{24} < \{ (V_B / V_F) - 1 \} \cdot r_{22} - r_{23}$ …(2)
つまり、NPNトランジスタT21のオン時には、そのベース・エミッタ間電圧がPN接合の順方向電圧V_F となり、電源電圧V_B (=電源ラインの電位V_{B2} - グランド電位GND2) からこの順方向電圧V_F を減じた電圧 (V_B - V_F) が印加される抵抗器R24、R23に流れる電流 { = (V_B - V_F) / (r₂₃ + r₂₄) } は、少なくとも電圧V_F を抵抗器R22の抵抗値r₂₂で除した電流 (V_F / r₂₂) よりも大きくする必要があり、この条件を満足するには、抵抗器R24の抵抗値r₂₄を上記(2)式に従い設定して、抵抗器R24の抵抗値r₂₄を充分小さくする必要がある。

【0025】そして、このように抵抗器R24の抵抗値r₂₄を小さくすると、今度は、NPNトランジスタT22のオン時に抵抗器R24を介してNPNトランジスタT22側に流れる電流i_cが多くなり、抵抗器R24やNPNトランジスタT22に大電流を流すことのできる許容電流の大きなものを使用しなければならないとか、FET:T_n 20 駆動のための消費電力が大きくなってしまい、といった問題が発生する。

【0026】本発明は、こうした問題に鑑みなされたもので、外部の制御回路側に設けられたスイッチング素子を介して入力端が接地・開放されることにより、その入力端の状態に応じてnチャネルMOSFETをオン・オフする駆動回路において、制御回路側のグランド電位と駆動回路側のグランド電位とに電位差が生じる場合であっても、制御回路側スイッチング素子に大電流を流すことなく、nチャネルMOSFETを確実にオン・オフす 30 ることができ、しかも電流方向切換用のスイッチング素子としてnチャネルMOSFETを使用した電流方向切換回路にあっては、ハイサイド及びローサイドのスイッチング素子が共にオンして貫通電流が流れるのを確実に防止できるようにすること、を目的とする。

【0027】

【課題を解決するための手段】かかる目的を達成するためになされた請求項1に記載の発明は、図1に例示する如く、電気負荷への通電経路の正極側にドレインが接続され、該経路の負極側にソースが接続されたnチャネル MOSFET (T_n) を、外部の制御回路に設けられたスイッチング素子 (T_o) にて接地又は開放される入力端の状態に応じてオン・オフさせるnチャネルMOSFETの駆動回路であり、FET (T_n) のゲートにコレクタが接続され、エミッタが直流電源の負極側に接地されたNPN型の第1トランジスタ (T₁) と、この第1トランジスタのコレクタと直流電源の正極側との間に設けられた第1抵抗 (R₁) と、第1トランジスタのベース・エミッタ間に設けられた第2抵抗 (R₂) と、第1トランジスタのベースに接続された第3抵抗 (R₃) 40

と、コレクタが直流電源の正極側に接続され、エミッタが第3抵抗を介して第1トランジスタのベースに接続され、ベースが入力端として制御回路のスイッチング素子に接続されるNPN型の第2トランジスタ (T₂) と、この第2トランジスタのベース・コレクタ間に接続された第4抵抗 (R₄) とを備える。

【0028】つまり、本発明の駆動回路は、図6 (b) に示した従来の駆動回路に対して、抵抗器R24と抵抗器R23との接続点にNPN型の第2トランジスタを設け、この第2トランジスタのベース・コレクタ間に抵抗器R24を接続し、第2トランジスタのエミッタに抵抗器R23を接続することにより達成される。

【0029】そしてこのように構成された本発明の駆動回路は、図6 (b) の駆動回路と同様、制御回路側のスイッチング素子 (T_o) がオフして入力端が開放された場合には、第1トランジスタ (T₁) がオンして、FET (T_n) をオフさせ、逆に制御回路側のスイッチング素子 (T_o) がオンして入力端が制御回路側にて接地された場合には、第1トランジスタ (T₁) がオフして、FET (T_n) をオンさせる。

【0030】また本発明では、第1トランジスタ (T₁) にベース電流を供給する経路に第2トランジスタ (T₂) が設けられることから、第1トランジスタ (T₁) をオフして、FET (T_n) をオンさせるためには、第2トランジスタ (T₂) をオフすればよい。そして、本発明の駆動回路の場合、第1トランジスタ (T₁) をオンするのに要する入力端のしきい値電圧V_{oTH}は、第2抵抗 (R₂) の抵抗値をr₂、第3抵抗 (R₃) の抵抗値をr₃とすると、次式(3) のようになる。

【0031】

$$V_{oTH} > \{ (r_3 / r_2) + 2 \} \cdot V_F \quad \dots (3)$$

このため、この(3)式と前述の(1)式とを比較すれば明らかなように、第2抵抗 (R₂) 及び第3抵抗 (R₃) に、図6 (b) に示した駆動回路の抵抗器R22、R23と同じ抵抗値のものを使用したとすれば、この従来の駆動回路に比べて、しきい値電圧V_{oTH}を大きくでき、制御回路側のグランド電位GND1が駆動回路側のグランド電位GND2よりも大きくなった場合に、第1トランジスタをオフできなくなる電圧値を高めることができる。つまり、本発明の駆動回路によれば、図6 (b) に示した駆動回路に比べて、制御回路と駆動回路のグランド電位の違いによって生じる誤動作をより確実に防止できる。

【0032】一方、図6 (b) に示した駆動回路では、しきい値電圧V_{oTH}を高めるために抵抗器R23 (本発明の第3抵抗 (R₃) に対応) の抵抗値を大きくすると、抵抗器R24 (本発明の第4抵抗 (R₄) に対応) の抵抗値を小さくしなければならず、制御回路側のスイッチング素子のオン時に駆動回路から制御回路に流れる電流が大きくなるといった問題が生じるが、本発明では、第4

抵抗 (R4) は、第2トランジスタ (T2) のベース電流を供給できればよく、そのための第4抵抗 (R4) の抵抗値 r_4 は、次式(4) の条件を満足すればよいことか*

$$r_4 < (1 + h_{FE}) \cdot [\{ (V_B / V_F) - 2 \} \cdot r_2 - r_3] \cdots (4)$$

但し、 h_{FE} : 第2トランジスタの h_{FE} 、 V_B : 駆動回路の電源電圧

この結果、本発明によれば、しきい値電圧 V_{oTH} を大きく設定できるにもかかわらず、駆動回路から制御回路に流れる電流 i_c を充分小さくすることができ、第4抵抗 (R4) や制御回路側のスイッチング素子 (To) に許容電流の大きなものを使用する必要がない。

【0034】次に、請求項2に記載の電流方向切換回路は、直流電源の正負の電源供給ライン間に直列に接続されたMOSFETからなる一対のスイッチング素子と、この一対のスイッチング素子の各々に設けられ、前記電源供給ラインから電源供給を受けて、各スイッチング素子を導通・遮断させる駆動回路と、この駆動回路とは別体で構成され、各駆動回路の入力端を各々接地又は開放することにより、駆動回路を介して一対のスイッチング素子の一方を選択的にオンさせ、各スイッチング素子の接続点に接続された電気負荷に流れる電流方向を、その接続点から電気負荷への第1方向とその逆の第2方向とのいずれかに切り換える制御回路と、を備える。

【0035】そして、一対のスイッチング素子の内、各スイッチング素子の接続点と電源供給ラインの負極側との間にローサイドスイッチとして配置されるスイッチング素子が、ドレインが接続点に接続され、ソースが電源供給ラインの負極側に接続されたnチャネルMOSFETにて構成され、更に、このnチャネルMOSFETの駆動回路が、NPN型の第1及び第2トランジスタと第1～第4抵抗とからなる請求項1に記載の駆動回路にて構成される。

【0036】従って、本発明によれば、ローサイドスイッチの駆動回路を構成する第3抵抗及び第4抵抗の抵抗値を共に大きく設定することにより、制御回路側のグラウンド電位が駆動回路側のグラウンド電位より高くなっても、ローサイドスイッチを確実にオン・オフさせることができ、しかも、ローサイドスイッチのオン時に、駆動回路から制御回路に流れ込む電流を小さくできる。

【0037】また、ローサイドスイッチのオフ時には、第1トランジスタがオンして、ローサイドスイッチのゲート・ソース間が第1トランジスタのコレクタ・エミッタ間飽和電圧 (約0.4V) に保持されるため、ハイサイドスイッチがオンした直後に、ローサイドスイッチのソース・ゲート間電圧が上昇して、ローサイドスイッチがオンしてしまうようなことはなく、ハイサイドスイッチ及びローサイドスイッチに貫通電流が流れるのを防止できる。

【0038】ここで、請求項2に記載の電流方向切換回路のように、請求項1に記載の駆動回路を、nチャネル

*ら、図6(b)の駆動回路に比べて、第4抵抗 (R4) の抵抗値 r_4 を大きくすることができる。

【0033】

MOSFETからなるローサイドスイッチの駆動回路として用いる場合、図7に示したHブリッジ回路のように、ハイサイドスイッチをpチャネルMOSFETから構成し、これを駆動する駆動回路には、図6(a)に示した従来の駆動回路をそのまま使用することができる。

【0039】しかし、図7に示したハイサイドスイッチ用の駆動回路では、制御回路側のスイッチング素子をオフして、その駆動回路の入力端を開放した際に、ハイサイドスイッチがオン状態となることから、例えば、制御回路に電源供給を行なう第2の電源供給ラインの断線等によって駆動回路側の電源のみが投入された場合等には、初期状態として、ハイサイドスイッチが必ずオン状態となってしまう。そして、このようにハイサイドスイッチがオン状態となると、電気負荷が接続されるハイサイドスイッチとローサイドスイッチとの接続点に正の電源電圧が印加されることになることから、この接続点とグラウンドとの間の絶縁が不十分な場合、漏電が生じ、過大な電流をハイサイドスイッチに流すことも考えられる。

【0040】従って、請求項2に記載の電流方向切換回路を構成する際には、制御回路側のスイッチング素子がオフ状態 (つまり駆動回路の入力端が開放状態) にあるときに、ハイサイドスイッチ及びローサイドスイッチが共にオフ状態になるようにすることが望ましく、ハイサイドスイッチにpチャネルMOSFETを用いる場合には、その駆動回路を、請求項3に記載のように構成することが好ましい。

【0041】つまり、請求項3に記載の電流方向切換回路は、請求項2に記載の電流方向切換回路において、ハイサイドスイッチとなるスイッチング素子をpチャネルMOSFETにて構成したものであるため、ローサイドスイッチを構成するnチャネルMOSFETについては、その駆動回路の入力端が開放状態となる初期状態では、必ずオフ状態となる。

【0042】一方、ハイサイドスイッチの駆動回路は、ハイサイドスイッチを構成するpチャネルMOSFETのゲートにコレクタが接続され、エミッタが電源供給ラインの正極側に接続されたPNP型の第3トランジスタと、第3トランジスタのコレクタと電源供給ラインの負極側との間に設けられ、第3トランジスタのオフ時にFETのゲート電位を低下させてFETをオンさせる第5抵抗と、第3トランジスタのベース・エミッタ間に設けられた第6抵抗と、第3トランジスタのベースに接続された第7抵抗と、コレクタが第7抵抗を介して第3トランジスタのベースに接続され、エミッタが電源供給ラインの負極側に接続され、ベースが入力端として制御回路

に接続されるNPN型の第4トランジスタと、第4トランジスタのベースと電源供給ラインの正極側との間に接続された第8抵抗と、から構成される。

【0043】つまり、ハイサイドスイッチの駆動回路は、図6(a)に示した駆動回路において、NPNトランジスタT12(第4トランジスタに対応)のベースと電源供給ラインの正極側との間に第8抵抗を接続して、NPNトランジスタT12のベースを制御回路に接続することにより達成される。

【0044】そしてこのように構成されたハイサイドスイッチの駆動回路においては、入力端が制御回路側に接地されているとき、第4トランジスタ、第3トランジスタが共にオフして、ハイサイドスイッチがオン状態となり、逆に、入力端が開放されているとき、第4トランジスタ、第3トランジスタが共にオンして、ハイサイドスイッチがオフ状態となる。

【0045】従って、請求項3に記載の電流方向切換回路によれば、ハイサイドスイッチ及びローサイドスイッチの各駆動回路の入力端が開放状態であるときに、ハイサイドスイッチ及びローサイドスイッチが共にオフ状態になり、各駆動回路と制御回路とが接続されていない場合や、接続されていても制御回路が動作していない場合等に、ハイサイドスイッチとローサイドスイッチとの接続点に電源電圧が印加されて、その接続点とグランドとの間の絶縁が不十分な場合、漏電が生じ、過大な電流をハイサイドスイッチに流すことを確実に防止でき、安全性を高めることができる。

【0046】また、請求項2に記載の電流方向切換回路において、ハイサイドスイッチは、nチャネルMOSFETから構成することもできる。そして、ハイサイドスイッチをnチャネルMOSFETにて構成した場合には、その駆動回路を、請求項4に記載のように構成すればよい。

【0047】即ち、ハイサイドスイッチをnチャネルMOSFETにて構成する場合、その駆動回路は、基本的には、NPN型の第1及び第2トランジスタと第1～第4抵抗とからなる請求項1に記載の駆動回路と同様に構成できる。しかし、この場合、ハイサイドスイッチを構成するnチャネルMOSFETをオンするためには、そのゲート電位を電源供給ラインの正極側よりも更に高い電位にする必要がある。そこで、請求項4に記載の電流方向切換回路においては、ハイサイドスイッチの駆動回路として、請求項1に記載の駆動回路に、直流電源よりも高い電源電圧を生成する昇圧回路を設け、この昇圧回路の電源電圧出力ラインとハイサイドスイッチのゲートとを第1抵抗を介して接続するようにしている。

【0048】そして、請求項4に記載の電流方向切換回路のように、ハイサイドスイッチ及びローサイドスイッチを共にnチャネルMOSFETにて構成し、その駆動回路を請求項1に記載の駆動回路とすれば、各駆動回路

の入力端が開放状態であるときに、ハイサイドスイッチ及びローサイドスイッチを共にオフ状態にすることができ、請求項3に記載の電流方向切換回路と同様、安全性を高めることができる。また、nチャネルMOSFETは、同一サイズでは、pチャネルMOSFETに比べてオン抵抗を低くすることができるので、ハイサイドスイッチにpチャネルMOSFETを用いた場合に比べて、電気負荷通電時に生じる電力ロスをより低減することができる。

【0049】なお、請求項2～請求項4に記載の電流方向切換回路は、例えば、容量性の電気負荷に対して電荷を充放電する際の充放電電流の切換回路等にも使用できるし、請求項5に記載のように、一対のスイッチング素子を電気負荷の両端に夫々設けたHブリッジ回路に適用することもできる。

【0050】

【発明の実施の形態】以下に、本発明の実施例を図面と共に説明する。図2は、自動車において直流モータ2に流れる電流方向を切り換えることにより直流モータ2を正転・逆転させる電流方向切換回路の構成を表わす電気回路図である。

【0051】図2に示す如く、本実施例の電流方向切換回路は、Hブリッジ回路10と、その制御回路20とから構成されており、Hブリッジ回路10は、図7に示したHブリッジ回路50と同様、直流モータ2の給電用2端子と図示しない直流電源(バッテリー)の正極側から引き出された電源ライン(電位:VB2)とを夫々接続するハイサイドスイッチTAH、TBHとして、ソースが電源ラインに接続されドレインが直流モータ2の端子に接続されたpチャネルのMOSFETを備え、バッテリーの負極側に接続されたグランドライン(電位:GND2)と直流モータ2の給電用2端子とを夫々接続するローサイドスイッチTAL、TBLとして、ドレインが直流モータ2の端子に接続され、ソースがグランドラインに接地されたnチャネルのMOSFETを備える。また、ハイサイドスイッチTAH、TBH及びローサイドスイッチTAL、TBLには、夫々、駆動回路10AH、10BH、10AL、10BLが設けられており、制御回路20は、これら各駆動回路10AH～10BLの入力端を接地又は開放することにより、各駆動回路10AH～10BLを介して、ハイサイドスイッチTAH、TBH及びローサイドスイッチTAL、TBLを夫々オン・オフさせる。

【0052】即ち、制御回路20は、各駆動回路10AH～10BLに対応して、コレクタが各駆動回路10AH～10BLの入力端に接続され、エミッタが制御回路20側のグランドラインに接地されたNPNトランジスタT0AH、T0AL、T0BH、T0BLを備え、これらNPNトランジスタT0AH～T0BLを介して、各駆動回路10AH～10BLの入力端を接地又は開放することにより、ハイサイドスイッチTAHとローサイドスイッチTBLとからなる

組と、ハイサイドスイッチTBHとローサイドスイッチTALとからなる組とのいずれか一方をオン状態として直流モータ2に電流を流し、またオン状態となる組を切り換えることにより、直流モータ2に流れる電流方向を切り換えて、直流モータ2を正転・反転させる。

【0053】なお、制御回路20は、図9に示したように、Hブリッジ回路10とは異なる電源ライン（電位：VB1）及びグラウンドライン（電位：GND1）を介してバッテリーから電源供給を受ける。次に、ハイサイドスイッチTAH、TBHの駆動回路10AH、10BHは、図7に示した駆動回路50AH、50BHと同様に構成されている。即ち、各駆動回路10AH、10BHは、ハイサイドスイッチTAH、TBHを構成するpチャネルMOSFETのゲートにコレクタが接続され、エミッタが電源ラインに接続されたPNPトランジスタT3と、PNPトランジスタT3のコレクタとグラウンドラインとの間に接続された抵抗器R5と、PNPトランジスタT3のベース・エミッタ間に接続された抵抗器R6と、PNPトランジスタT3のベースに接続された抵抗器R7とを備え、この抵抗器R7の開放端側が、駆動回路10AH、10BHの入力端として、制御回路20内のNPNトランジスタT0AH、T0BHのコレクタに接続される。

【0054】従って、ハイサイドスイッチ用の駆動回路10AH、10BHにおいては、制御回路20側のNPNトランジスタT0AH、T0BHがオフ状態であれば、PNPトランジスタT3がオフ状態となる。この結果、ハイサイドスイッチTAH、TBHを構成するpチャネルMOSFETのゲートの電位は、グラウンド電位GND1となっており、ハイサイドスイッチTAH、TBHはオン状態となる。一方、制御回路20側のNPNトランジスタT0AH、T0BHがオン状態であれば、PNPトランジスタT3にベース電流が流れて、PNPトランジスタT3がオンする。すると、抵抗器R5に電流が流れることから、ハイサイドスイッチTAH、TBHを構成するpチャネルMOSFETのゲートの電位は、電源ラインと略同じ高電位（VB2）となっており、ハイサイドスイッチTAH、TBHはオフ状態となる。

【0055】つまり、本実施例では、制御回路20側にてNPNトランジスタT0AH、T0BHをオフし、駆動回路10AH、10BHの入力端を開放すれば、ハイサイドスイッチTAH、TBHをオンすることができ、逆に、制御回路20側にてNPNトランジスタT0AH、T0BHをオンし、駆動回路10AH、10BHの入力端を接地すれば、ハイサイドスイッチTAH、TBHをオフすることができる。

【0056】一方、ローサイドスイッチTAL、TBLの駆動回路10AL、10BLには、図1に示した本発明（請求項1）の駆動回路が使用される。つまり、駆動回路10AL、10BLは、図1に示した駆動回路と同様、第1トランジスタ及び第2トランジスタとしてのNPNトランジスタT1及びT2と、第1抵抗～第4抵抗としての抵抗

器R1～R4とから構成されている。

【0057】従って、ローサイドスイッチ用の駆動回路10AL、10BLにおいては、制御回路20側のNPNトランジスタT0AL、T0BLがオフ状態であれば、NPNトランジスタT2にベース電流が流れて、NPNトランジスタT2がオンし、NPNトランジスタT2がオンすると、NPNトランジスタT2及び抵抗器R3を介してNPNトランジスタT1にベース電流が供給されることから、NPNトランジスタT1もオンし、ローサイドスイッチTAL、TBLを構成するnチャネルMOSFETのゲート電位が略グラウンド電位（GND2）となっており、ローサイドスイッチTAL、TBLがオフ状態となる。逆に、制御回路20側のNPNトランジスタT0AL、T0BLがオン状態であれば、NPNトランジスタT2がオフし、NPNトランジスタT1もオフ状態となるため、ローサイドスイッチTAL、TBLを構成するnチャネルMOSFETのゲート電位が電源ラインと同電位（VB2）となり、ローサイドスイッチTAL、TBLがオン状態となる。

【0058】つまり、本実施例では、制御回路20側にてNPNトランジスタT0AL、T0BLをオフし、駆動回路10AL、10BLの入力端を開放すれば、ローサイドスイッチTAL、TBLをオフすることができ、逆に、制御回路20側にてNPNトランジスタT0AL、T0BLをオンし、駆動回路10AL、10BLの入力端を接地すれば、ハイサイドスイッチTAH、TBHをオンすることができる。

【0059】このように構成された本実施例のHブリッジ回路10において、ローサイドスイッチTAL、TBLをオフする際には、駆動回路10AL、10BL内のNPNトランジスタT1がオン状態となっており、ローサイドスイッチTAL、TBLを構成するnチャネルMOSFETのゲート・ソース間が、NPNトランジスタT1のコレクタ・エミッタ間飽和電圧に保持されることから、ローサイドスイッチTAL、TBLのオフ時に、ハイサイドスイッチTAH、TBHがオン状態となっても、ローサイドスイッチTAL、TBLがオンするようなことはなく、ハイサイドスイッチTAH、TBHのオン時に貫通電流が流れるのを確実に防止できる。

【0060】また、ハイサイドスイッチTAH、TBHをオフする際には、駆動回路10AH、10BH内のPNPトランジスタT3がオン状態となっており、ハイサイドスイッチTAH、TBHを構成するpチャネルMOSFETのゲート・ソース間が、PNPトランジスタT3のコレクタ・エミッタ間飽和電圧に保持されることから、ハイサイドスイッチTAH、TBHのオフ時に、ローサイドスイッチTAL、TBLがオン状態となっても、ハイサイドスイッチTAH、TBHがオンするようなことはなく、ローサイドスイッチTAL、TBLのオン時に貫通電流が流れるのも確実に防止できる。

【0061】一方、本実施例のように、Hブリッジ回路10の駆動回路10AH～10BLと制御回路20とが別体

に構成され、各回路が、異なる電源供給ライン（電源ライン及びグラウンドライン）を介して電源供給を受ける場合には、駆動回路 10AH~10BL側のグラウンド電位GND2と、制御回路20側のグラウンド電位GND1とに電位差が生じることがある。そして、既述したように、ローサイドスイッチTAL、TBLの駆動回路10AL、10BLとして、図6(b)に示した従来の駆動回路を利用すると、グラウンド電位GND1がグラウンド電位GND2よりも大きくなったときに、ローサイドスイッチTAL、TBLをオンすることができなくなるとか、これを防止するためには、駆動回路から制御回路に流れ込む電流を多くしなければならない、といった問題が生じる。

【0062】しかし、本実施例のローサイドスイッチ用の駆動回路10AL、10BLには、第1トランジスタとしてNPNトランジスタT1に加えて、第2トランジスタとしてのNPNトランジスタT2が備えられ、このNPNトランジスタT2によって、抵抗器R4に流れる電流を hFE 倍した電流を抵抗器R3側に流し込むことができるため、抵抗器R3及び抵抗器R4の抵抗値を共に大きくすることができ、制御回路20内のNPNトランジスタ T_{oAL} 及び T_{oBL} のオン時に駆動回路10AL、10BLから制御回路20に流れ込む電流量を抑えつつ、グラウンド電位GND1、GND2の電位差による誤動作を防止することができるようになる。

【0063】即ち、NPNトランジスタT1をオンするのに必要なNPNトランジスタT2のベース電圧（つまり駆動回路10AL、10BLの入力端のしきい値電圧 V_{oTH} ）は、抵抗器R2の抵抗値を r_2 、抵抗器R3の抵抗値を r_3 とすると、前述の(3)のようになる。従って、抵抗器R3の抵抗値 r_3 を大きくすればするほど、しきい値電圧 V_{oTH} を高くして、グラウンド電位GND1、GND2の電位差による誤動作を防止できる。また、制御回路20側のNPNトランジスタ T_{oAL} 、 T_{oBL} のオン時に、制御回路20側に流れ込む電流は、抵抗器R4にて制限されるが、この抵抗器R4は、NPNトランジスタ T_{oAL} 、 T_{oBL} のオフ時に、NPNトランジスタT2、T1をオン状態にできればよく、このためには、抵抗器R4の抵抗値 r_4 を、前述の(4)式を満足するように設定すればよい。

【0064】この結果、本実施例の駆動回路10 $_{oAL}$ 、10 $_{oBL}$ によれば、しきい値電圧 V_{oTH} が前述の(1)式にて決定され、制御回路20側に流れ込む電流を制限する抵抗器R24の抵抗値 r_{24} が前述の(2)式にて制限される、図6(b)に示した駆動回路に比べ、抵抗器R3、R4の抵抗値を大きくして、制御回路20に流れ込む電流量を抑えつつ、ローサイドスイッチTAL、TBLをオンするための入力端電圧を高くすることができ、グラウンド電位GND1が高くなった場合の誤動作を良好に防止することができるようになる。

【0065】なお、図3(a)は、本実施例の駆動回路

10ALにおいて、しきい値電圧 V_{oTH} を決定する抵抗器R2、R3を固定し、その入力端に定電圧発生装置を接続して、入力端電圧を0Vから電源電圧 V_{B2} まで変化した場合には、駆動回路10ALから定電圧発生回路側に流れる電流方向を正方向として、その電流 i_c を計算した計算結果を表わす。また、図3(b)は、図6(b)に示した従来の駆動回路において、しきい値電圧 V_{oTH} を決定する抵抗器R22、R23を抵抗器R2、R3と同じ抵抗値に固定し、図3(a)と同様に電流 i_c を計算した計算結果を表わす。そして、この計算結果からも、本実施例の駆動回路10ALにおいてしきい値電圧 V_{oTH} を決定する抵抗器R2、R3と、図6(b)に示した従来の駆動回路においてしきい値電圧 V_{oTH} を決定する抵抗器R22、R23と、を同じ抵抗値に設定した場合には、本実施例の駆動回路10ALの方がしきい値電圧 V_{oTH} を高くすることができ、しかも、駆動回路から制御回路側に流れる電流 i_c を低減できることがわかる。

【0066】以上本発明の一実施例について説明したが、本発明は、上記実施例に限定されるものではなく、種々の態様をとることができる。例えば、上記実施例では、Hブリッジ回路10を構成するハイサイドスイッチTAH、TBHにpチャネルMOSFETを使用し、これをオン・オフさせる駆動回路10AH、10BH及び制御回路側のスイッチング素子を、図6(a)に示した駆動回路と略同様に構成することにより、駆動回路10AH、10BHの入力端が開放状態となっているときに、ハイサイドスイッチTAH、TBHがオン状態となるように構成したが、この場合、例えば駆動回路10AH、10BHの入力端と制御回路20とを接続する信号線が断線したり、制御回路20に電源供給がなされず、Hブリッジ回路10側にのみ電源供給がなされている場合等には、Hブリッジ回路10のハイサイドスイッチTAH、TBHがオン状態に保持され、直流モータ2の両端に、電源電圧が常時印加されることになる。そして、この状態では、Hブリッジ回路10から直流モータ2に至るハーネスがグラウンドラインに接触すると、ハイサイドスイッチTAH、TBHに大電流が流れて、ハイサイドスイッチTAH、TBHが破壊してしまう。そこで、上記実施例のHブリッジ回路10において、こうした故障が発生しないようにするためには、ハイサイドスイッチ用の駆動回路10AH、10BHを、その入力端が開放状態にあるとき、ハイサイドスイッチTAH、TBHをオフ状態にできるようにすることが好ましく、そのためには、駆動回路10AH、10BHを、図4に示す如く構成すればよい。

【0067】即ち、図4に示す如く、Hブリッジ回路10'を構成するハイサイドスイッチ用の駆動回路10AH'、10BH'を、ハイサイドスイッチTAH、TBHを構成するpチャネルMOSFETのゲートにコレクタが接続され、エミッタが電源ラインに接続されたPNPトランジスタT3と、PNPトランジスタT3のコレクタと

グラウンドラインとの間に接続された抵抗器R5と、PNPトランジスタT3のベース・エミッタ間に接続された抵抗器R6と、PNPトランジスタT3のベースに接続された抵抗器R7と、コレクタが抵抗器R7を介してPNPトランジスタT3のベースに接続され、エミッタが制御回路20と共通のグラウンドライン（電位：GND1）に接続され、ベースが入力端として制御回路20側のNPNトランジスタT₀AH、T₀BHに接続されるNPNトランジスタT4と、NPNトランジスタT4のベースと電源ラインとの間に接続された抵抗器R8とから構成する。

【0068】従って、この駆動回路10AH'、10BH'においては、制御回路20側のNPNトランジスタT₀AH、T₀BHがオン状態であるとき、NPNトランジスタT4がオフして、PNPトランジスタT3がオフ状態となり、ハイサイドスイッチTAH、TBHがオン状態となる。また逆に、制御回路20側のNPNトランジスタT₀AH、T₀BHがオフ状態であれば、NPNトランジスタT4がオン状態となって、PNPトランジスタT3がオンし、ハイサイドスイッチTAH、TBHがオフ状態となる。

【0069】つまり、図4に示したハイサイドスイッチ用の駆動回路10AH'、10BH'は、図2に示した駆動回路10AH、10BHに対して、NPNトランジスタT4と抵抗器R8を追加して、動作の論理を反転させることにより、駆動回路10AH'、10BH'の入力端が開放状態であるとき、ハイサイドスイッチTAH、TBHをオフ状態にして、電源供給系の異常時等に、ハイサイドスイッチTAH、TBHが破壊し易くなるのを防止しているのである。

【0070】なお、図4において、ハイサイドスイッチ用の駆動回路10AH'、10BH'以外の構成は図2と全く同様である。そして、この駆動回路10AH'、10BH'は、請求項3に記載の駆動回路に相当し、PNPトランジスタT3は第3トランジスタ、NPNトランジスタT4は第4トランジスタ、抵抗器R5は第5抵抗、抵抗器R6は第6抵抗、抵抗器R7は第7抵抗、抵抗器R8は第8抵抗に、夫々対応する。

【0071】また次に、上記実施例では、Hブリッジ回路10を構成するハイサイドスイッチTAH、TBHにpチャネルMOSFETを使用したのが、ハイサイドスイッチTAH、TBHにも、ローサイドスイッチ10AL、10BLと同様、nチャネルMOSFETを使用することができる。そして、この場合、図5に示すように、ハイサイドスイッチTAH'、TBH'用の駆動回路10AH''、10BH''を、ローサイドスイッチ用の駆動回路10AL、10BLと同様に構成すればよい。但し、この場合、ハイサイドスイッチTAH'、TBH'をオンするためには、ハイサイドスイッチTAH'、TBH'を構成するnチャネルMOSFETのゲート電位を電源ラインの電位VB2よりも

高くする必要があるため、Hブリッジ回路10''に、電源電圧を昇圧する昇圧回路30を設け、この昇圧回路30からの電源電圧出力ラインに、nチャネルMOSFETのゲート電位を電源側にプルアップする抵抗器R1を接続する必要がある。

【0072】そして、Hブリッジ回路10''をこのように構成すれば、図4に示したHブリッジ回路10'と同様、各駆動回路の入力端が開放状態にあるとき、ハイサイドスイッチTAH'、TBH'及びローサイドスイッチTAL、TBLを全てオフ状態にすることができる。また、このようにハイサイドスイッチ及びローサイドスイッチを共にnチャネルMOSFETにて構成した場合、nチャネルMOSFETは、同一サイズでは、pチャネルMOSFETに比べてオン抵抗を小さくできるため、直流モータの通電経路上での電力ロスをより少なくすることができる。

【0073】なお、ハイサイドスイッチ用の駆動回路10AH''、10BH''をこのように構成した場合には、ハイサイドスイッチTAH'、TBH'を構成するnチャネルMOSFETのゲートに昇圧回路30からの高電圧が印加されることから、図5に示す如く、ゲート保護のために、nチャネルMOSFETのゲート・ソース間に、ツェナーダイオードZDAH、ZDBH及びダイオードDAH、DBHからなる保護回路を設けることが好ましい。

【0074】また、この保護回路としては、ツェナーダイオード以外にも、抵抗器を用いてもよい。そして、こうしたツェナーダイオード或は抵抗器を用いた保護回路は、ローサイドスイッチTAL、TBLを構成するnチャネルMOSFETのゲート・ソース間、或はハイサイドスイッチTAH、TBHを構成するpチャネルMOSFETのゲート・ソース間にも設けてもよい。

【図面の簡単な説明】

【図1】 本発明のnチャネルMOSFETの駆動回路を例示する電気回路図である。

【図2】 実施例の電流方向切換回路（Hブリッジ回路）の構成を表わす電気回路図である。

【図3】 実施例の駆動回路と従来の駆動回路とで入力端の電圧と出力電流との関係を計算した計算結果を表わすグラフである。

【図4】 ハイサイドスイッチにpチャネルMOSFETを用いた際のHブリッジ回路の他の構成例を表わす電気回路図である。

【図5】 ハイサイドスイッチにnチャネルMOSFETを用いた際のHブリッジ回路の構成例を表わす電気回路図である。

【図6】 従来のnチャネルMOSFETの駆動回路を表わす電気回路図である。

【図7】 従来の駆動回路を用いたHブリッジ回路の構成例を表わす電気回路図である。

【図8】 図7に示したHブリッジ回路において生じる

21

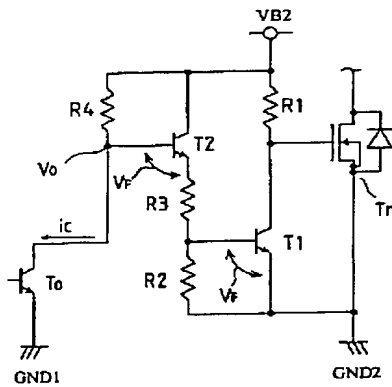
貫通電流の問題を説明する説明図である。

【図9】 制御回路と駆動回路とでグラウンド電位に差が生じるシステムの一例を説明する説明図である。

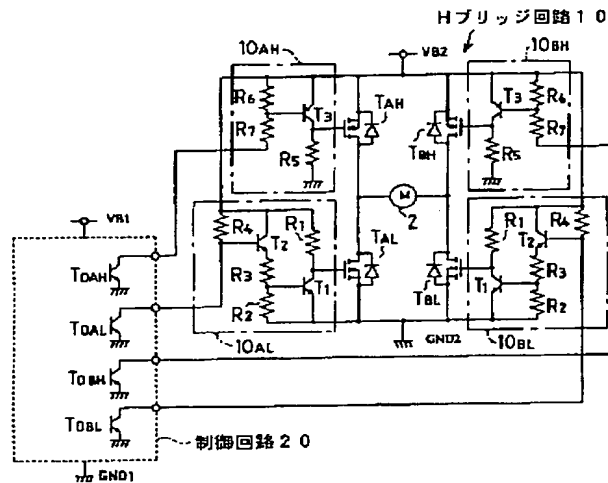
【符号の説明】

10…Hブリッジ回路 10AH, 10BH, 10AL, 10BL…駆動回路
20…制御回路 TAH, TBH…ハイサイドスイッチ
TAL, TBL…ローサイドスイッチ

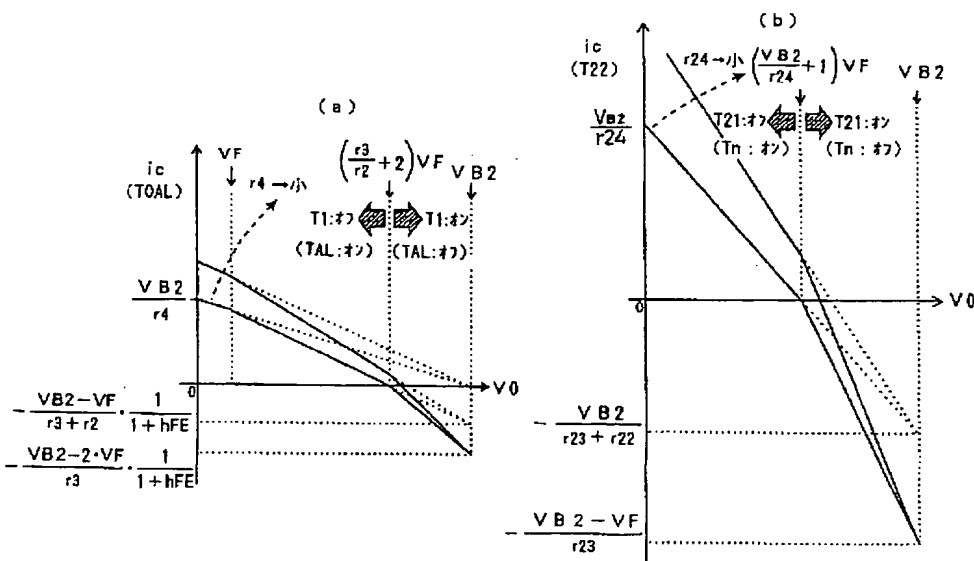
【図1】



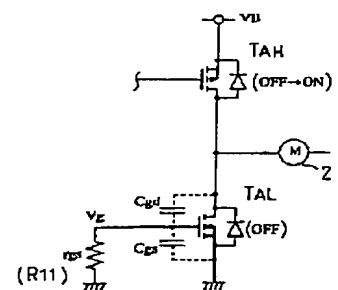
【図2】



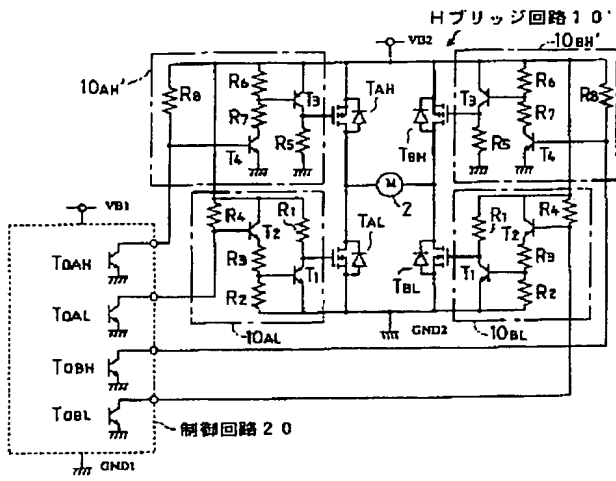
【図3】



【図8】

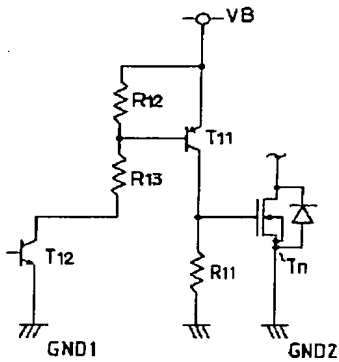


【図4】

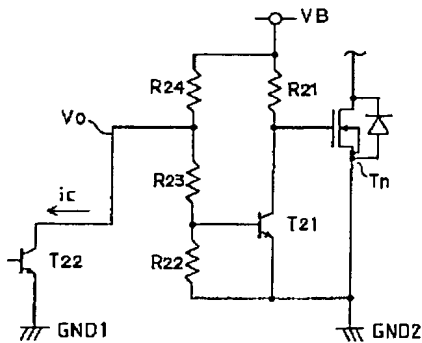


【図6】

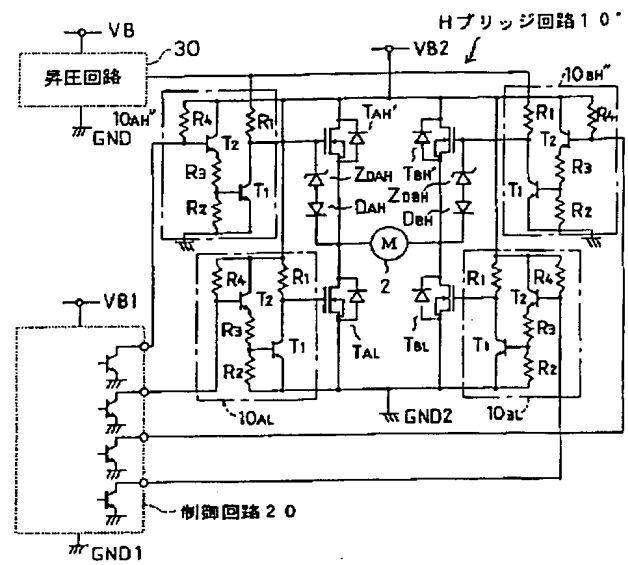
(a)



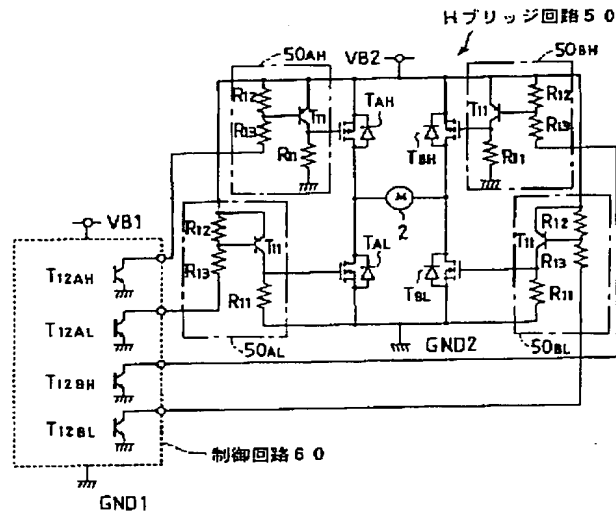
(b)



【図5】



【図7】



【図9】

